

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-031785

(43)Date of publication of application : 31.01.2003

(51)Int.Cl.

H01L 27/146

H01L 31/10

H04N 5/335

(21)Application number : 2001-210270

(71)Applicant : SONY CORP

(22)Date of filing : 11.07.2001

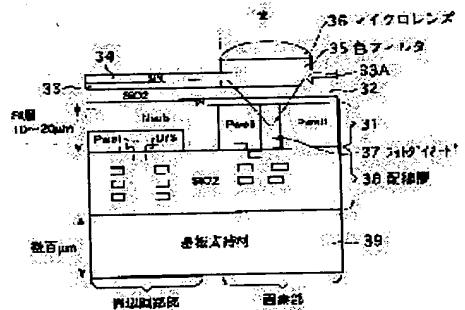
(72)Inventor : SUZUKI RYOJI  
MABUCHI KEIJI  
MORI TOMONORI

## (54) X-Y ADDRESS TYPE SOLID STATE IMAGE SENSOR AND ITS FABRICATING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To solve the problem of such a pixel structure as the incident light is taken into a photodiode through an interconnect layer that a part of light condensed through a microlens is sputtered by the interconnect.

**SOLUTION:** In an X-Y address type solid state image sensor, represented by a CMOS image sensor, an interconnect layer 38 is formed on one side of a silicon layer 31 in which a photodiode layer 37 is formed and visible light is taken in from the other side of the silicon layer 31, i.e., the side opposite to the interconnect layer 38 (rear surface side). Since such a rear surface light receiving type pixel structure is employed, the interconnect layer can be formed without taking account of the light receiving face and the degree of freedom is increased in the interconnection of pixels.



### LEGAL STATUS

[Date of request for examination] 12.03.2003

[Date of sending the examiner's decision of rejection] 20.07.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-17289

[Date of requesting appeal against examiner's decision of rejection] 19.08.2004

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
  - 2.\*\*\*\* shows the word which can not be translated.
  - 3.In the drawings, any words are not translated.
- 

**CLAIMS**

---

[Claim(s)]

[Claim 1] The X-Y address type solid state image pickup device characterized by to have the wiring layer which wires the field side of one of these to said active element to the component layer in which the unit pixel containing the active element which changes and outputs the signal charge by which photo electric translation was carried out to an electrical signal by the optoelectric transducer is the X-Y address type solid state image pickup device which it comes to arrange in the shape of a matrix, and said optoelectric transducer is formed, and to incorporate incident light from the field side of another side of said component layer to said optoelectric transducer.

[Claim 2] The X-Y address type solid state image pickup device according to claim 1 characterized by the thickness of said component layer being 5-15 micrometers.

[Claim 3] Said optoelectric transducer is a X-Y address type solid state image pickup device according to claim 1 characterized by being formed in the depth which reaches to one field of said component layer.

[Claim 4] Said optoelectric transducer is a X-Y address type solid state image pickup device according to claim 1 characterized by forming more widely than the surface area by the side of said wiring layer the surface area by the side of a light-receiving side.

[Claim 5] Creation of the X-Y address type solid state image pickup device with which it comes to arrange the unit pixel containing the active element which changes and outputs the signal charge by which photo electric translation was carried out to an electrical signal by the optoelectric transducer in the shape of a matrix is faced. The 1st process which forms said optoelectric transducer and said active element in a substrate, The 2nd process which forms the wiring layer which wires the field side of one of these to said active element to the component layer in which said optoelectric transducer and said active element were formed, The manufacture approach of the X-Y address type solid state image pickup device characterized by performing in order the 3rd process which grinds the field of another side of said component layer so that the thickness of said substrate may turn into predetermined thickness.

[Claim 6] The manufacture approach of the X-Y address type solid state image pickup device according to claim 5 characterized by grinding at said 3rd process so that the thickness of said substrate may be set to 5-15 micrometers.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] This invention relates to the X-Y address type solid state image pickup device with which it comes to arrange the unit pixel containing the active element which changes and outputs the signal charge by which photo electric translation was carried out to an electrical signal by the optoelectric transducer in the shape of a matrix, and its manufacture approach.

#### [0002]

[Description of the Prior Art] A solid state image pickup device is divided roughly into the charge transfer mold solid state image pickup device represented by CCD series and the X-Y address type solid state image pickup device represented by CMOS image sensors. Here, a X-Y address type solid state image pickup device is explained using drawing 9 which takes CMOS image sensors for an example and shows an example of the cross-section structure among these 2 types.

[0003] CMOS image sensors have the composition that the pixel section 100 which carries out photo electric translation of the light which carried out incidence, and the circumference circuit section 200 which drives a pixel, reads a signal, and performs and outputs signal processing to this were accumulated by the same chip (substrate) so that clearly from drawing 9. Moreover, the transistor which constitutes the pixel section 100, and the transistor which constitutes the circumference circuit section 200 are carrying out a part of the wiring in common.

[0004] The pixel section 100 has the composition that the color filter 105 and the micro lens 106 were allotted to the upper part through a wiring layer 103 and the passivation film 104 while having the photodiode 102 formed in the front-face side of the N type silicon substrate 101 with the thickness of about hundreds of micrometers. The color filter 105 is formed in order to acquire the signal of a color.

[0005] Since a transistor and wiring exist between a photodiode 102 and a color filter 105, in order to raise the ratio of the incident light to the photodiode 102 to the incident light to the pixel section 100, i.e., a numerical aperture, he is trying to condense incident light to a photodiode 102 through between wiring in this pixel section 100 by the micro lens 106.

#### [0006]

[Problem(s) to be Solved by the Invention] However, with the conventional technique of the pixel structure of incorporating incident light to a photodiode 102 through a wiring layer 103, as mentioned above, since a part of light condensed by the micro lens 106 will be able to bound with wiring, following various problems arise owing to this.

[0007] \*\* Since the quantity of light of the part which was able to bound with wiring decreases, sensibility falls.

\*\* Go into the photodiode which is the pixel which a part of light which was able to bound with wiring adjoins, and color mixture occurs.

\*\* While a property falls by constraint of wiring of that wiring cannot be placed on a photodiode 102, being unable to let thick wiring pass, detailed-sizing of a pixel is difficult.

\*\* Since the rate that light becomes oblique incidence and can bound in the pixel of a periphery increases, as dark shading as a surrounding pixel happens.

\*\* If a wiring layer tends to make CMOS image sensors from the advanced CMOS process which increased further, since the distance from a micro lens 106 to light-receiving Men of a photodiode 102 will become far, it is difficult.

\*\* While rearranging the circuit which it becomes impossible to use the library of a CMOS process to which it went by the above-mentioned \*\*, and is located to a library enters, since a wiring layer is restricted, cost goes up by area increasing etc., and the pixel area per pixel also becomes large.

[0008] Furthermore, when it goes into the pixel currently shaded in order the generated electron diffuses the inside of the P well 107, and to keep in the photodiode of another location as close, to start color mixture or to detect black if photo electric translation of the light of long wavelength, such as red, is carried out in the P well 107 of a location deeper than a photodiode 102 in drawing 9, there is a problem of making a mistake in and detecting black level.

[0009] Moreover, in CMOS image sensors, the function which was another chip until now [, such as a camera digital disposal circuit and DSP (Digital Signal Processor), ] is in the inclination-carried-in the same chip as the pixel section in recent years. Since the process generation evolves with 0.4 micrometers → 0.25 micrometers → 0.18 micrometers → 0.13 micrometers, it becomes impossible for the benefit of detailed-sizing to receive these, if the CMOS image sensors itself cannot respond to these new processes, and to use the library and IP of abundant CMOS circuits.

[0010] However, although wiring structure was multilayered, for example, wiring was three layers in 0.4-micrometer process so that the process generation progressed, wiring of eight layers is used in 0.13-micrometer process. Moreover, the thickness of wiring also increases and the distance to light-receiving Men of a photodiode 102 increases 3 times to 5 times from a micro lens 106. Therefore, with the pixel structure of a surface exposure mold where even light-receiving Men of a photodiode 102 draws light through the conventional wiring layer, it is impossible to condense light to the light-receiving side of a photodiode 102 efficiently consequently, and the problem of the above-mentioned \*\* - \*\* is remarkable.

[0011] On the other hand, there is rear-face light-receiving mold frame transfer CCD series which receives light from a rear-face side in a charge transfer mold solid state image pickup device. In this rear-face light-receiving mold frame transfer CCD series, the signal charge which thin-film-ized the silicon substrate, received at the tooth back (rear face), and carried out photo electric translation within silicon is captured by the depletion layer prolonged from a front-face side, and has composition accumulated and outputted to the potential well by the side of a front face.

[0012] An example of the cross-section structure of the photodiode is shown in drawing 10. In this example, the photodiode is made by the P type field 303 on the front face by the side of the oxide film 302 with which wiring etc. is formed to a silicon substrate 301, and has structure covered with the well (epilayer) 304 of N type through the depression layer 305. The reflective film 306 of aluminum is formed on the oxide film 302.

[0013] In the case of the rear-face light-receiving mold CCD series of the above-mentioned structure, there is a problem with a high absorption coefficient from which blue sensibility falls. Moreover, the signal charge generated by light's carrying out incidence to a tooth back, and photo electric translation being carried out in a shallow location keeps close in a surrounding photodiode at a diffused rate. there are these problems -- in addition, since it is that it is not necessary in CCD series to make the height of a wiring layer high since system-on-chip is not carried out, and an original process and a light-shielding film can be dropped into the perimeter of a photodiode, condensing with a lens on chip is easy, and since there is no need of the problem of \*\* which carried out point \*\* - \*\* not arising, and taking rear-face light-receiving structure, the actual condition is that the CCD series of a rear-face light-receiving mold is hardly used.

[0014] On the other hand, in the case of CMOS image sensors, since a process uses what added slight correction to the Standard C MOS process, by taking rear-face light-receiving structure, it is not influenced by the wiring process but has the advantage which is not in the CCD series that the newest process can always be used. However, it differs from CCD series in that wiring runs many layers in all directions, and \*\* which carried out point \*\* in connection with it - \*\* appear notably as a problem peculiar to CMOS image sensors (X-Y address type solid state image pickup device represented by this).

[0015] This invention is made in view of the above-mentioned technical problem, and the place made

into the object is by taking rear-face light-receiving structure in the X-Y address type solid state image pickup device represented by CMOS image sensors to offer the X-Y address type solid state image pickup device which enabled detailed-izing of a pixel, and high numerical aperture-ization, and its manufacture approach.

[0016]

[Means for Solving the Problem] In the X-Y address type solid state image pickup device with which it comes to arrange the unit pixel containing the active element which changes and outputs the signal charge by which photo electric translation was carried out to an electrical signal by the optoelectric transducer in this invention in order to attain the above-mentioned object in the shape of a matrix The wiring layer which wires the field side of one of these to an active element to the component layer in which an optoelectric transducer is formed is formed, and it considers as the pixel structure of a rear-face light-receiving mold of incorporating incident light to an optoelectric transducer from the field, i.e., field of wiring layer and reverse, side of another side of a component layer.

[0017] In a X-Y address type solid state image pickup device, the need for wiring of having taken the light-receiving side into consideration is lost by taking the pixel structure of a rear-face light-receiving mold. That is, wiring of a up to [ an optoelectric-transducer field ] is attained. Thereby, the degree of freedom of wiring of a pixel becomes high, and detailed-ization of a pixel can be attained.

[0018]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing. This operation gestalt shall take and explain CMOS image sensors to an example as a X-Y address type solid state image pickup device.

[0019] Drawing 1 is the outline block diagram showing an example of the CMOS image sensors concerning 1 operation gestalt of this invention. drawing 1 -- from -- being clear -- as -- a book -- CMOS -- image sensors -- a pixel -- the section -- 11 -- vertical -- ( -- V -- ) -- a selection circuitry -- 12 -- S/H (a sample/hold) -- & -- CDS (Correlated Double Sampling: correlation duplex sampling) -- a circuit -- 13 -- level -- ( -- H -- ) -- a selection circuitry -- 14 -- a timing generator -- ( -- TG -- ) -- 15 -- AGC (Automatic Gain Control) -- a circuit -- 16 -- A/D conversion -- a circuit -- 17 -- and -- digital one -- amplifier -- 18 -- a grade -- having -- these -- being the same -- a substrate (chip) -- 19 -- a top -- carrying -- having had -- a configuration -- becoming -- \*\*\* .

[0020] Many unit pixels mentioned later are arranged in the shape of a matrix, and the pixel section 11 has the composition that the address line etc. was wired per line and the vertical signal line was wired per train, respectively. The vertical selection circuitry 12 chooses a pixel in order per line, and reads a pixel signal from each pixel of the selected line to the S/H&CDS circuit 13. The S/H&CDS circuit 13 subtracts 0 level from signal level about the pixel signal by which reading appearance was carried out, and performs processing which removes and holds fixed pattern dispersion (noise) for every pixel.

[0021] The level selection circuitry 14 passes the pixel signal currently held in the S/H&CDS circuit 13 in order to ejection and AGC circuit 16. AGC circuit 16 amplifies the signal by suitable gain, and passes it to the A/D-conversion circuit 17. The A/D-conversion circuit 17 changes the analog signal into a digital signal, and passes it to the digital amplifier 18. The digital amplifier 18 amplifies the digital signal suitably, and outputs it. Each actuation of the vertical selection circuitry 12, the S/H&CDS circuit 13, the level selection circuitry 14, AGC circuit 16, the A/D-conversion circuit 17, and the digital amplifier 18 is performed based on various kinds of timing signals generated with a timing generator 15.

[0022] An example of the circuitry of the unit pixel which is the characteristic part of these CMOS image sensors is shown in drawing 2 . A unit pixel has a photodiode 21 as an optoelectric transducer, and has the composition of having four transistors, the transfer transistor 22, the magnification transistor 23, the address transistor 24, and the reset transistor 25, as an active element, to this one photodiode 21 so that clearly from this drawing.

[0023] The anode is grounded and a photodiode 21 carries out photo electric translation of the incident light to the charge (here electron) of an amount according to the quantity of light. It connects with the

cathode of a photodiode 21 between the floating diffusion FD, and the transfer transistor 22 is that a transfer signal is given to the gate through the transfer wiring 26, and transmits the electron by which photo electric translation was carried out with the photodiode 21 to the floating diffusion FD.

[0024] The gate of the magnification transistor 23 is connected to the floating diffusion FD. It connects with the vertical signal line 27 through the address transistor 24, and this magnification transistor 23 constitutes the constant current source I and source follower of a pixel outside. And if an address signal is given to the gate of the address transistor 25 through the address wiring 28 and the address transistor 25 concerned turns on, the magnification transistor 23 will amplify the potential of the floating diffusion FD, and will output the electrical potential difference according to the potential to the vertical signal line 27. The vertical signal line 27 transmits the electrical potential difference outputted from each pixel to the S/H&CDS circuit 13.

[0025] It connects with a power source Vdd between the floating diffusion FD, and the reset transistor 25 is that a reset signal is given to the gate through the reset wiring 29, and resets the potential of the floating diffusion FD to the potential of a power source Vdd. Since each wiring 26, 28, and 29 to which each gate of the transfer transistor 22, the address transistor 24, and the reset transistor 25 is connected is wired per line, these actuation is simultaneously performed about each pixel for one line.

[0026] Here, as wiring about a unit pixel, internal wiring to the vertical signal line 27 which connects Vdd supply wiring, and one the floating diffusion FD and the gate of the magnification transistor 23 further, and two-dimensional wiring used for a pixel boundary part and the light-shielding film for a black level detection pixel although not illustrated here exist in a longitudinal direction in 3, the transfer wiring 26, the address wiring 28, and the reset wiring 29, and a lengthwise direction.

[0027] Drawing 3 is the sectional view showing an example of the structure of the pixel section and the circumference circuit section. In drawing 3, the silicon (Si) layer (component layer) 31 with a thickness of about 10–20 micrometers is formed by grinding a wafer by CMP (Chemical Mechanical Polishing). The range where the thickness is desirable is 3–7 micrometers to 15–50 micrometers and an ultraviolet region to 5–15 micrometers and infrared light to the light. The light-shielding film 33 is formed in one field side of this silicon layer 31 on both sides of SiO<sub>2</sub> film 32.

[0028] Unlike wiring, a light-shielding film 33 is arranged only in consideration of an optical element. Opening 33A is formed in this light-shielding film 33. On a light-shielding film 33, the silicon nitride (SiN) 34 is formed as passivation film, and the color filter 35 and the micro lens 36 are further formed above opening 33A. That is, the light which carries out incidence from one field side of the silicon layer 31 has pixel structure led to the light-receiving side of the photodiode 37 which is formed in the silicon layer 31, and which is mentioned later via the micro lens 36 and the color filter 35. The wiring layer 38 in which transistor metallurgy group wiring is formed is formed in the field side of another side of the silicon layer 31, and the substrate supporting material 39 is further stuck on the bottom of it.

[0029] Here, with the conventional CMOS image sensors, a wiring layer side is made into a front-face side, and with the CMOS image sensors which start this operation gestalt to having taken the pixel structure of a surface light-receiving mold of incorporating incident light from this wiring layer side, since incident light is incorporated from the field (rear face) side of a wiring layer 38 and an opposite hand, it has pixel structure of a rear-face light-receiving mold. The limit of condensing depended to remove them in a metal layer with the thickness (for example, about 0.5 micrometers) of SiO<sub>2</sub> film 32 since the protection-from-light layer's 33 only existing as a metal layer in from a micro lens 36 before a photodiode 37 and the height from the photodiode 37 of this protection-from-light layer 33 are low can be lost so that clearly from this rear-face light-receiving mold pixel structure.

[0030] Drawing 4 is cross-section structural drawing showing an example of the well structure of the silicon layer 31, and attaches and shows the same sign among drawing to drawing 3 and an equivalent part.

[0031] N-mold substrate 41 is used in this example. As point \*\* was carried out, to the light, the thickness of the silicon layer 31 has desirable 5–15 micrometers, and they is setting it to 10

micrometers by this example. Thereby, the photo electric translation of the light can be carried out good. The shallow P+ layer 42 covers one field of the silicon layer 31 all over the pixel section, and is formed in it. The pixel isolation region is formed of the deep P well 43, and is connected with one Men's P+ layer 42.

[0032] A photodiode 37 is not forming P well and is formed using N-mold substrate 41. It is a photo-electric-translation field, and since [ that that area is small ] concentration is thin, this N-mold field (substrate) 41 has formed perfect depletion. The N+ field 44 which moreover accumulates a signal charge (this example electron) is formed, and the P+ layer 45 for considering as an embedding photodiode is further formed on it.

[0033] In addition, the photodiode 37 is formed so that from drawing 4, and the surface area by the side of a light-receiving side may become larger than the surface area by the side of a wiring layer 38. By this, incident light can be incorporated efficiently. The signal charge which photo electric translation was carried out with this photodiode 37, and was accumulated in the N+ field 44 is transmitted to FD (floating diffusion)47 of N+ mold field with the transfer transistor 46 (transfer transistor 22 of drawing 2). The photodiode 37 side and FD47 are electrically separated by the P-layer 48.

[0034] the P well 42 with deep transistors other than transfer transistor 46 in a pixel (the magnification transistor 23, the address transistor 24, and the reset transistor 25 of drawing 2) -- usually -- a passage -- forming -- having -- \*\*\*\*. It has the composition that the P well 49 was formed in the depth which does not reach the P+ layer 42 on the back, the N well 50 was further formed inside this P well 49, and on the other hand the CMOS circuit was formed in the field of these wells 49 and 50 about the circumference circuit field.

[0035] Next, the sample layout of a pixel is explained using drawing 5 and drawing 6. In drawing 5 and drawing 6, the same sign is attached and shown in drawing 2 and an equivalent part. Drawing 5 is flat-surface pattern drawing showing an active region (field of gate oxide); a gate (polish recon) electrode; and both contact section. One photodiode (PD) 21 per unit pixel and four transistors 22-25 exist so that clearly from this drawing.

[0036] Drawing 6 is flat-surface pattern drawing showing the contact section between them with metal wiring above a gate electrode with an active region. Here, metal wiring (for example, aluminum wiring) has a three-tiered structure, as wiring in a pixel, the 2nd layer is used as wiring 27, i.e., the vertical signal line, and the drain wire of a lengthwise direction, and the 3rd layer is used for the 1st layer, respectively as the lateral wiring 26, i.e., transfer wiring, the address wiring 28, and reset wiring 29.

[0037] The vertical signal line 27, the transfer wiring 26 and the address wiring 28, and the reset wiring 29 are wired on the photodiode field so that clearly from the circuit pattern of drawing 6. With the conventional pixel structure, since the surface light-receiving mold pixel structure of incorporating light from a wiring layer side was taken, these wiring avoids a photodiode field and is formed. On the other hand, with the pixel structure concerning this operation gestalt, since the rear-face light-receiving mold pixel structure of incorporating light from a wiring layer and an opposite hand (rear-face side) is taken so that clearly from drawing 3, leading about of wiring on a photodiode field is made possible.

[0038] Since the need for wiring of having considered the light-receiving side like the conventional surface light-receiving mold pixel structure by having taken the rear-face light-receiving mold pixel structure where a photodiode 37 received the light from a rear-face side, in the X-Y address type solid state image pickup device represented by CMOS image sensors is lost as mentioned above, while the degree of freedom of wiring which is a pixel becomes high and being able to attain detailed-ization of a pixel, it can make from the advanced CMOS process with many wiring layers.

[0039] Moreover, since the photodiode 37 is formed in the depth which reaches the P+ layer 45 on the back, blue sensibility with a high absorption coefficient becomes high and photo electric translation is not carried out in the depths rather than a photodiode 37, it also of worries about \*\* detection of the color mixture used as a cause or black level is lost. Furthermore, since a light-shielding film 33, a color filter 35, and a micro lens 36 can be made from a wiring layer 38 not existing in a light-receiving side

side in a low location to a light-receiving side so that especially clearly from drawing 3, problems, such as sensibility lowering in the conventional technique, color mixture, and limb darkening, are solvable.

[0040] Next, the process which creates the CMOS image sensors of the rear-face light-receiving mold pixel structure of the above-mentioned configuration is explained using process drawing of drawing 7 R> 7 and drawing 8.

[0041] First, while creating isolation and a gate electrode (polish recon electrode) in the front face of N-mold substrate 51, by ion implantation, the shallow P well 49 and the N well 50 of the P well 43 with the deep pixel part which carried out point \*\*, the P+ layer 42 with a shallow photodiode part, and a circumference circuit part are formed, and a transistor, a pixel active region, etc. are further formed at the same process as the conventional CMOS image sensors (process 1). At this time, in order to make the alignment mark for rear faces, the trench of the about dozens of micrometers substrate 51 is carried out.

[0042] Next, metal wiring (1aluminum, 2aluminum, 3aluminum), the pad (PAD) 52, and interlayer film 53 of layer [ 1st ] - the 3rd layer are created in the front face of a substrate 51 (process 2). At this time, a tungsten (W) or aluminum (aluminum) is embedded into the alignment mark part for rear faces which carried out the trench at the process 1, and an alignment mark 54 is made. Then, first substrate supporting-material (for example, glass, silicon, organic film, etc.) 55A is slushed into a wiring layer top face by the thickness of hundreds of micrometers (process 3). At this time, the mask of the pad 52 top is carried out by the resist 56.

[0043] Next, while removing the resist 56 of the pad 52 upper part, surface treatment is carried out so that a metal may flow into the bump who was able to do it (process 4). Then, a conductor 57 is slushed into the front face of first substrate supporting-material 55A with the bump who did opening on the pad 52 (process 5). Then, it leaves only the upper part part of a pad 52, and the conductor 57 of the front face of the substrate supporting material 55 is removed (process 6). This part that remained becomes pad 52'.

[0044] Next, while slushing second substrate supporting-material 55B for protection of pad 52' under rear-face processing, and surface flattening and grinding after that, it grinds by CMP until it turns a wafer over and the thickness of a substrate 51 is set to about 10 micrometers (process 7). Then, by CVD (Chemical Vapor Deposition), SiO<sub>2</sub> film is formed by about 10nm thickness, subsequently a resist is set according to an alignment mark 54, and SiO<sub>2</sub> interface douses only the boron buried in an electron hole on the whole pixel section surface (process 8). At a process 8, further, SiO<sub>2</sub> film 58 is formed in a rear face by about 500nm thickness by CVD, subsequently a light-shielding film 59 is created by aluminum or W, and the plasma SiN film is formed by CVD as passivation film 60 after that.

[0045] Next, a color filter 61 and a micro lens 62 are created by the same approach as the case of the conventional CMOS image sensors (process 9). At this time, stepper doubling is performed by using a light-shielding film 59, using an alignment mark 54. Then, second substrate supporting-material 55B on pad 52' is removed by etching, and pad 52' is exposed (process 10). Under the present circumstances, if needed, second substrate supporting-material 55B is ground for the alignment of a micro lens 62, and flattening of a chip, and it adjusts to desired thickness.

[0046] Since it can consider [ according to the manufacture approach explained above ] as the structure out of which pad 52' came to the opposite hand with light-receiving Men in addition to the ability to create easily the pixel structure of a rear-face light-receiving mold, where a light-receiving side is turned upwards, these CMOS image sensors can be mounted in a direct substrate.

[0047]

[Effect of the Invention] Since the need for wiring of having taken the light-receiving side into consideration by taking the pixel structure of a rear-face light-receiving mold in the X-Y address type solid state image pickup device is lost according to this invention as explained above, the degree of freedom of wiring which is a pixel becomes high, and detailed-ization of a pixel can be attained.

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the outline block diagram showing an example of the CMOS image sensors concerning 1 operation gestalt of this invention.

[Drawing 2] It is the circuit diagram showing an example of the circuitry of a unit pixel.

[Drawing 3] It is the sectional view showing an example of the structure of the pixel section and the circumference circuit section.

[Drawing 4] It is cross-section structural drawing showing an example of the well structure of a silicon layer.

[Drawing 5] It is flat-surface pattern drawing showing an active region (field of gate-oxide), a gate (polish recon) electrode, and both contact section.

[Drawing 6] It is flat-surface pattern drawing showing the contact section between them with metal wiring above a gate electrode with an active region.

[Drawing 7] It is process drawing (the 1) for explaining the process which creates the CMOS image sensors of rear-face light-receiving mold pixel structure.

[Drawing 8] It is process drawing (the 2) for explaining the process which creates the CMOS image sensors of rear-face light-receiving mold pixel structure.

[Drawing 9] It is cross-section structural drawing showing the conventional structure of CMOS image sensors.

[Drawing 10] It is the sectional view showing the cross-section structure of the photodiode of rear-face light-receiving mold frame transfer CCD series.

### [Description of Notations]

11 -- a pixel -- the section -- 12 -- vertical -- a selection circuitry -- 14 -- level -- a selection circuitry -- 15 -- a timing generator -- 21 -- 37 -- a photodiode -- 22 -- a transfer -- a transistor -- 23 -- magnification -- a transistor -- 24 -- the address -- a transistor -- 25 -- reset -- a transistor -- 31 -- silicon -- (Si) -- a layer -- 33 -- a light-shielding film -- 35 -- a color filter, 36 -- micro lens, and 38 -- wiring layer

---

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-31785

(P2003-31785A)

(43) 公開日 平成15年1月31日 (2003.1.31)

(51) Int.Cl.<sup>7</sup>  
H 01 L 27/146  
31/10  
H 04 N 5/335

識別記号

F I  
H 04 N 5/335  
H 01 L 27/14  
31/10

テマヨート(参考)  
E 4 M 1 1 8  
A 5 C 0 2 4  
A 5 F 0 4 9

審査請求 未請求 請求項の数 6 OL (全 9 頁)

(21) 出願番号 特願2001-210270(P2001-210270)

(22) 出願日 平成13年7月11日 (2001.7.11)

(71) 出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72) 発明者 鈴木 亮司  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内  
(72) 発明者 馬渕 圭司  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内  
(74) 代理人 100086298  
弁理士 船橋 國則

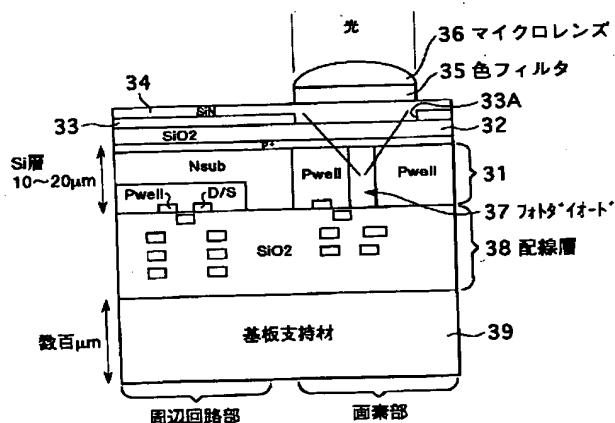
最終頁に続く

(54) 【発明の名称】 X-Yアドレス型固体撮像素子およびその製造方法

(57) 【要約】

【課題】 配線層を通してフォトダイオードに入射光を取り込む画素構造では、マイクロレンズによって集光される光の一部が配線によって跳ねられてしまう。

【解決手段】 CMOSイメージセンサに代表されるX-Yアドレス型固体撮像素子において、フォトダイオード37が形成されるシリコン層31の一方の面側に配線層38を形成し、シリコン層31の他方の面側、即ち配線層38と反対の面(裏面)側から可視光を取り込む裏面受光型の画素構造とし、受光面を考慮した配線を不要とし、画素の配線の自由度を高める。



(2)

## 【特許請求の範囲】

【請求項1】 光電変換素子で光電変換された信号電荷を電気信号に変換して出力する能動素子を含む単位画素が行列状に配置されてなるX-Yアドレス型固体撮像素子であって、

前記光電変換素子が形成される素子層に対してその一方の面側に、前記能動素子に対して配線をなす配線層を有し、

入射光を前記素子層の他方の面側から前記光電変換素子に取り込むことを特徴とするX-Yアドレス型固体撮像素子。

【請求項2】 前記素子層の厚さが5~15μmであることを特徴とする請求項1記載のX-Yアドレス型固体撮像素子。

【請求項3】 前記光電変換素子は、前記素子層の一方の面まで到達する深さで形成されていることを特徴とする請求項1記載のX-Yアドレス型固体撮像素子。

【請求項4】 前記光電変換素子は、受光面側の表面積が前記配線層側の表面積よりも広く形成されていることを特徴とする請求項1記載のX-Yアドレス型固体撮像素子。

【請求項5】 光電変換素子で光電変換された信号電荷を電気信号に変換して出力する能動素子を含む単位画素が行列状に配置されてなるX-Yアドレス型固体撮像素子の作成に際し、

基板に前記光電変換素子および前記能動素子を形成する第1の工程と、

前記光電変換素子および前記能動素子が形成された素子層に対してその一方の面側に前記能動素子に対して配線をなす配線層を形成する第2の工程と、

前記素子層の他方の面を前記基板の厚さが所定の厚さになるように研磨する第3の工程とを順に実行することを特徴とするX-Yアドレス型固体撮像素子の製造方法。

【請求項6】 前記第3の工程では、前記基板の厚さが5~15μmになるように研磨することを特徴とする請求項5記載のX-Yアドレス型固体撮像素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、光電変換素子で光電変換された信号電荷を電気信号に変換して出力する能動素子を含む単位画素が行列状に配置されてなるX-Yアドレス型固体撮像素子およびその製造方法に関する。

## 【0002】

【従来の技術】 固体撮像素子は、CCDイメージセンサに代表される電荷転送型固体撮像素子と、CMOSイメージセンサに代表されるX-Yアドレス型固体撮像素子とに大別される。ここで、これら2タイプのうちX-Yアドレス型固体撮像素子について、CMOSイメージセンサを例に採ってその断面構造の一例を示す図9を用い

10

て説明する。

【0003】 図9から明らかなように、CMOSイメージセンサは、入射した光を光電変換する画素部100と、画素を駆動して信号を読み出し、これに対して信号処理を施して出力する周辺回路部200とが同一チップ(基板)に集積された構成となっている。また、画素部100を構成するトランジスタと周辺回路部200を構成するトランジスタとはその配線の一部を共通にしている。

【0004】 画素部100は、数百μm程度の厚さを持つN型シリコン基板101の表面側に形成されたフォトダイオード102を有するとともに、その上方に配線層103およびパッシベーション膜104を介して色フィルタ105およびマイクロレンズ106が配された構成となっている。色フィルタ105は色の信号を得るために設けられている。

【0005】 この画素部100において、フォトダイオード102と色フィルタ105との間には、トランジスタや配線が存在するので、画素部100への入射光に対するフォトダイオード102への入射光の比、即ち開口率を上げるために、入射光をマイクロレンズ106によって配線の間を通してフォトダイオード102へ集光するようにしている。

## 【0006】

【発明が解決しようとする課題】 しかしながら、上述したように、配線層103を通してフォトダイオード102に入射光を取り込む画素構造の従来技術では、マイクロレンズ106によって集光される光の一部が、配線によって跳ねられてしまうため、これが原因で次のような様々な問題が生じる。

【0007】 ①配線によって跳ねられた分だけ光量が減るため感度が落ちる。

②配線によって跳ねられた光の一部が隣接する画素のフォトダイオードに入り、混色が起きる。

③フォトダイオード102の上に配線を置けない、太い配線を通せないなどの配線の制約によって特性が低下するとともに、画素の微細化が困難である。

④周辺部の画素では光が斜め入射になって跳ねられる割合が多くなるので、周辺の画素ほど暗いシェーディングが起こる。

⑤配線層がさらに増加した、進んだCMOSプロセスでCMOSイメージセンサを作ろうとすると、マイクロレンズ106からフォトダイオード102の受光面までの距離が遠くなるのでそれが困難である。

⑥上記⑤によって進んだCMOSプロセスのライブラリが使えないなり、ライブラリにある回路のレイアウトし直しが入るとともに、配線層が制限されるので面積が増大するなどによってコストが上昇し、また1画素当たりの画素面積も大きくなる。

【0008】 さらに、赤色などの長波長の光が、図9に

20

30

40

50

(3)

3

おいて、フォトダイオード102よりも深い位置のPウェル107中で光電変換されると、発生した電子がPウェル107の中を拡散し、別の位置のフォトダイオードに入ってしまい、混色を起こしたり、黒を検出するため遮光してある画素に入ると、黒レベルを間違って検出してしまうという問題がある。

【0009】また、近年、CMOSイメージセンサにおいては、カメラ信号処理回路やDSP(Digital Signal Processor)などの、これまで別チップであった機能が画素部と同じチップに搭載される傾向にある。これらはプロセス世代が $0.4\mu\text{m} \rightarrow 0.25\mu\text{m} \rightarrow 0.18\mu\text{m} \rightarrow 0.13\mu\text{m}$ と進化していくので、CMOSイメージセンサ自体もこれらの新しいプロセスに対応できなければ微細化の恩恵が受けられず、また、豊富なCMOS回路のライブラリやIPが利用できなくなる。

【0010】しかし、プロセス世代が進むほど配線構造が多層化し、例えば $0.4\mu\text{m}$ プロセスでは配線は3層であったが、 $0.13\mu\text{m}$ プロセスでは8層の配線を用いている。また、配線の厚さも増加し、マイクロレンズ106からフォトダイオード102の受光面までの距離が3倍～5倍になる。したがって、従来の配線層を通してフォトダイオード102の受光面まで光を導く表面照射型の画素構造では、効率良く光をフォトダイオード102の受光面に集光できなくなっている。

【0011】一方、電荷転送型固体撮像素子には、光を裏面側から受光する裏面受光型フレーム転送CCDイメージセンサがある。この裏面受光型フレーム転送CCDイメージセンサでは、シリコン基板を薄膜化して背面（裏面）にて受光し、シリコン内で光電変換した信号電荷が表面側から伸びる空乏層に捕獲され、表面側の電位井戸に蓄積されて出力される構成となっている。

【0012】そのフォトダイオードの断面構造の一例を図10に示す。本例では、フォトダイオードは、シリコン基板301に対して配線等が形成される酸化膜302側の表面にP型領域303によって作られており、N型のウェル（エピ層）304によってデプレッション層305を介して覆われた構造となっている。酸化膜302の上には、アルミニウムの反射膜306が形成されている。

【0013】上記構造の裏面受光型CCDイメージセンサの場合、吸収率の高い、青色の感度が落ちる問題がある。また、光が背面に入射して浅い位置で光電変換されることによって発生した信号電荷が、拡散してある割合で周囲のフォトダイオードに入ってしまう。これらの問題があることに加えて、CCDイメージセンサでは、システムオンチップしないので配線層の高さを高くする必要がないこと、独自プロセスなので遮光膜をフォトダイオードの周囲に落とし込むことができるためオンチップレンズによる集光が容易であり、先述した①～⑥の問題

4

が生じなく、裏面受光構造を探る必要性がないことから、裏面受光型のCCDイメージセンサがほとんど使われていないのが現状である。

【0014】これに対して、CMOSイメージセンサの場合は、プロセスは標準CMOSプロセスにわずかの修正を加えたものを使用するので、裏面受光構造を探ることにより、配線工程に影響されず、常に最新のプロセスを用いることができるというCCDイメージセンサには無い利点がある。ただし、配線が何層も縦横に走る点はCCDイメージセンサとは異なっており、それに伴って先述した①～⑥がCMOSイメージセンサ（これに代表されるX-Yアドレス型固体撮像素子）特有の問題として顕著に現れる。

【0015】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、CMOSイメージセンサに代表されるX-Yアドレス型固体撮像素子において、裏面受光構造を探すことにより、画素の微細化および高開口率化を可能としたX-Yアドレス型固体撮像素子およびその製造方法を提供することにある。

【0016】

【課題を解決するための手段】上記目的を達成するために、本発明では、光電変換素子で光電変換された信号電荷を電気信号に変換して出力する能動素子を含む単位画素が行列状に配置されてなるX-Yアドレス型固体撮像素子において、光電変換素子が形成される素子層に対してその一方の面側に、能動素子に対して配線をなす配線層を形成し、入射光を素子層の他方の面側、即ち配線層と逆の面側から光電変換素子を取り込む裏面受光型の画素構造とする。

【0017】X-Yアドレス型固体撮像素子において、裏面受光型の画素構造を探すことにより、受光面を考慮した配線の必要がなくなる。すなわち、光電変換素子領域上への配線が可能となる。これにより、画素の配線の自由度が高くなり、画素の微細化を図ることができる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。本実施形態では、X-Yアドレス型固体撮像素子としてCMOSイメージセンサを例に採って説明するものとする。

【0019】図1は、本発明の一実施形態に係るCMOSイメージセンサの一例を示す概略構成図である。図1から明らかなように、本CMOSイメージセンサは、画素部11、垂直(V)選択回路12、S/H(サンプル／ホールド) & CDS(Correlated Double Sampling:相関二重サンプリング)回路13、水平(H)選択回路14、タイミングジェネレータ(TG)15、AGC(Automatic Gain Control)回路16、A/D変換回路17およびデジタルアンプ18等を有し、これらが同一の基板(チップ)19上に搭載された構成となっている。

【0020】画素部11は、後述する単位画素が行列状

(4)

5

に多数配列され、行単位でアドレス線などが、列単位で垂直信号線がそれぞれ配線された構成となっている。垂直選択回路12は、画素を行単位で順に選択し、選択した行の各画素から画素信号をS/H&CDS回路13に読み出す。S/H&CDS回路13は、その読み出された画素信号について信号レベルから0レベルを減算し、画素ごとの固定パターンばらつき(ノイズ)を除去し、保持する処理を行う。

【0021】水平選択回路14は、S/H&CDS回路13に保持されている画素信号を順に取り出し、AGC回路16に渡す。AGC回路16は、その信号を適当なゲインで増幅し、A/D変換回路17に渡す。A/D変換回路17は、そのアナログ信号をデジタル信号に変換し、デジタルアンプ18に渡す。デジタルアンプ18は、そのデジタル信号を適当に増幅して出力する。垂直選択回路12、S/H&CDS回路13、水平選択回路14、AGC回路16、A/D変換回路17およびデジタルアンプ18の各動作は、タイミングジェネレータ15で発生される各種のタイミング信号に基づいて行われる。

【0022】本CMOSイメージセンサの特有の部分である単位画素の回路構成の一例を図2に示す。同図から明らかなように、単位画素は、光電変換素子として例えばフォトダイオード21を有し、この1個のフォトダイオード21に対して、転送トランジスタ22、増幅トランジスタ23、アドレストランジスタ24およびリセットトランジスタ25の4個のトランジスタを能動素子として有する構成となっている。

【0023】フォトダイオード21はそのアノードが接地され、入射光をその光量に応じた量の電荷(ここでは、電子)に光電変換する。転送トランジスタ22は、フォトダイオード21のカソードとフローティングディフュージョンFDとの間に接続され、転送配線26を通してそのゲートに転送信号が与えられることで、フォトダイオード21で光電変換された電子をフローティングディフュージョンFDに転送する。

【0024】フローティングディフュージョンFDには増幅トランジスタ23のゲートが接続されている。この増幅トランジスタ23はアドレストランジスタ24を介して垂直信号線27に接続され、画素部外の定電流源Iとソースフォロアを構成している。そして、アドレス配線28を通してアドレス信号がアドレストランジスタ25のゲートに与えられ、当該アドレストランジスタ25がオンすると、増幅トランジスタ23はフローティングディフュージョンFDの電位を増幅してその電位に応じた電圧を垂直信号線27に出力する。垂直信号線27は、各画素から出力された電圧をS/H&CDS回路13に伝送する。

【0025】リセットトランジスタ25は電源VddとフローティングディフュージョンFDとの間に接続さ

6

れ、リセット配線29を通してそのゲートにリセット信号が与えられることで、フローティングディフュージョンFDの電位を電源Vddの電位にリセットする。これらの動作は、転送トランジスタ22、アドレストランジスタ24およびリセットトランジスタ25の各ゲートが接続される各配線26、28、29が行単位で配線されていることから、1行分の各画素について同時に行われる。

【0026】ここで、単位画素についての配線としては、横方向に転送配線26、アドレス配線28およびリセット配線29の3本、縦方向に垂直信号線27の1本、さらにVdd供給配線と、フローティングディフュージョンFDと増幅トランジスタ23のゲートとをつなぐ内部配線と、ここでは図示していないが、画素境界部分と黒レベル検出画素のための遮光膜に使う2次元配線とが存在する。

【0027】図3は、画素部および周辺回路部の構造の一例を示す断面図である。図3において、ウェハーをCMP(Chemical Mechanical Polishing)によって研磨することにより、10～20μm程度の厚さのシリコン(Si)層(素子層)31が形成される。その厚さの望ましい範囲は、可視光に対して5～15μm、赤外光に対して15～50μm、紫外域に対して3～7μmである。このシリコン層31の一方の面側にはSiO2膜32を挟んで遮光膜33が形成されている。

【0028】遮光膜33は配線と異なり、光学的な要素だけを考慮してレイアウトされる。この遮光膜33には開口部33Aが形成されている。遮光膜33の上には、バッシャーション膜としてシリコン窒化膜(SiN)34が形成され、さらに開口部33Aの上方に色フィルタ35およびマイクロレンズ36が形成されている。すなわち、シリコン層31の一方の面側から入射する光は、マイクロレンズ36および色フィルタ35を経由して、シリコン層31に形成される後述するフォトダイオード37の受光面に導かれる画素構造となっている。シリコン層31の他方の面側には、トランジスタや金属配線が形成される配線層38が形成され、その下にはさらに基板支持材39が貼り付けられている。

【0029】ここで、従来のCMOSイメージセンサでは、配線層側を表面側とし、この配線層側から入射光を取り込む表面受光型の画素構造を探っていたのに対して、本実施形態に係るCMOSイメージセンサでは、配線層38と反対側の面(裏面)側から入射光を取り込むことから、裏面受光型の画素構造となっている。この裏面受光型画素構造から明らかのように、マイクロレンズ36からフォトダイオード37までの間には遮光層33が金属層として存在するだけであること、またこの遮光層33のフォトダイオード37からの高さがSiO2膜32の膜厚(例えば、約0.5μm)と低いことから、金属層でのけられによる集光の制限を無くすことができ

(5)

7

る。

【0030】図4は、シリコン層31のウェル構造の一例を示す断面構造図であり、図中、図3と同等部分には同一符号を付して示している。

【0031】本例では、N-型基板41を用いている。シリコン層31の厚さは、先述したように、可視光に対しては5~15μmが望ましく、本例では10μmとしている。これにより、可視光を良好に光電変換できる。シリコン層31の一方の面には、浅いP+層42が画素部の全面に亘って形成されている。画素分離領域は深いPウェル43によって形成されており、一方の面のP+層42とつながっている。

【0032】フォトダイオード37はPウェルを形成しないことで、N-型基板41を利用して形成されている。このN-型領域（基板）41が光電変換領域であり、その面積が小さく濃度が薄いために完全空乏化している。その上に、信号電荷（本例では、電子）を蓄積するN+領域44が形成され、その上にさらに、埋め込みフォトダイオードとするためのP+層45が形成されている。

【0033】なお、フォトダイオード37は、図4から明らかなように、受光面側の表面積が配線層38側の表面積よりも広くなるように形成されている。これにより、入射光を効率良く取り込めることがある。このフォトダイオード37で光電変換されかつN+領域44に蓄積された信号電荷は、転送トランジスタ46（図2の転送トランジスタ22）によってN+型領域のFD（フローティングディフュージョン）47に転送される。フォトダイオード37側とFD47とはP-層48によって電気的に分離されている。

【0034】画素内の転送トランジスタ46以外のトランジスタ（図2の増幅トランジスタ23、アドレストランジスタ24およびリセットトランジスタ25）は、深いPウェル42に通常通り形成されている。一方、周辺回路領域については、裏面のP+層42に到達しない深さにPウェル49が形成され、このPウェル49の内側にさらにNウェル50が形成され、これらウェル49、50の領域にCMOS回路が形成された構成となっている。

【0035】次に、画素のレイアウト例について図5および図6を用いて説明する。図5および図6において、図2と同等部分には同一符号を付して示している。図5は、活性領域（ゲート酸化膜の領域）、ゲート（ポリシリコン）電極および両者のコンタクト部を示す平面パターン図である。同図から明らかなように、単位画素当たり、1つのフォトダイオード（PD）21と4つのトランジスタ22~25が存在する。

【0036】図6は、ゲート電極よりも上の金属配線と、それらの間のコンタクト部を活性領域と共に示す平面パターン図である。ここで、金属配線（例えば、アル

8

ミニウム配線）は3層構造となっており、第1層目は画素内の配線として、第2層目は縦方向の配線、即ち垂直信号線27やドレイン線として、第3層目は横方向の配線、即ち転送配線26、アドレス配線28およびリセット配線29としてそれぞれ用いられている。

【0037】図6の配線パターンから明らかのように、垂直信号線27や、転送配線26、アドレス配線28およびリセット配線29はフォトダイオード領域上に配線されている。これらの配線は、従来の画素構造では、配線層側から光を取り込む表面受光型画素構造を採っていたことから、フォトダイオード領域を避けて形成されていたものである。これに対して、本実施形態に係る画素構造では、図3から明らかのように、配線層と反対側（裏面側）から光を取り込む裏面受光型画素構造を採っていることから、フォトダイオード領域上で配線の引き回しを可能としている。

【0038】上述したように、CMOSイメージセンサに代表されるX-Yアドレス型固体撮像素子において、フォトダイオード37が裏面側から可視光を受光する裏面受光型画素構造を採ったことにより、従来の表面受光型画素構造のように受光面を配慮した配線の必要がなくなるため、画素の配線の自由度が高くなり、画素の微細化を図ることができるとともに、配線層の多い、進んだCMOSプロセスで作ることができる。

【0039】また、フォトダイオード37が裏面のP+層45に到達する深さで形成されているため、吸収率の高い青色の感度が高くなり、またフォトダイオード37よりも深部で光電変換されることがないので、それが原因となる混色や黒レベルの⑤検出の心配もなくなる。さらに、特に図3から明らかのように、受光面側に配線層38が存在しないことで、遮光膜33、色フィルタ35およびマイクロレンズ36を受光面に対して低い位置に作ることができるため、従来技術における感度低下、混色、周辺減光などの問題を解決することができる。

【0040】次に、上記構成の裏面受光型画素構造のCMOSイメージセンサを作成するプロセスについて、図7および図8の工程図を用いて説明する。

【0041】まず、N-型基板51の表面に素子分離、ゲート電極（ポリシリコン電極）を作成するとともに、イオン打ち込みにより、先述した画素部分の深いPウェル43、フォトダイオード部分の浅いP+層42、周辺回路部分の浅いPウェル49およびNウェル50を形成し、さらにトランジスタや画素活性領域などを従来のCMOSイメージセンサと同一の工程で形成する（工程1）。このとき、裏面用の位置合わせマークを作るために基板51を数十μm程度トレンチしておく。

【0042】次に、基板51の表面に第1層目～第3層目の金属配線（1A1, 2A1, 3A1）、パッド（PAD）52および層間膜53を作成する（工程2）。このとき、工程1でトレンチしておいた裏面用位置合わせマ

(6)

9

ーク部分に例えばタンゲステン(W)またはアルミニウム(A1)を埋め込んで位置合わせマーク54を作る。続いて、配線層上面に数百 $\mu\text{m}$ の厚さで第一基板支持材(例えば、ガラス、シリコン、有機膜など)55Aを流し込む(工程3)。このとき、パッド52の上はレジスト56でマスクしておくようにする。

【0043】次に、パッド52上方のレジスト56を取り除くとともに、できたパンプに金属が流れ込むように表面処理する(工程4)。続いて、パッド52上に開口したパンプと第一基板支持材55Aの表面に導電体57を流し込む(工程5)。その後、パッド52の上方部分だけを残して基板支持材55の表面の導電体57を取り除く(工程6)。この残った部分がパッド52'となる。

【0044】次に、裏面加工中のパッド52'の保護と表面の平坦化のために第二基板支持材55Bを流し込み、その後研磨するとともに、ウェハーを裏返して基板51の厚さが10 $\mu\text{m}$ 程度になるまでCMPによって研磨する(工程7)。続いて、CVD(Chemical Vapor Deposition)によってSiO<sub>2</sub>膜を10nm程度の膜厚で形成し、次いで位置合わせマーク54に合わせてレジストをおき、画素部全面にSiO<sub>2</sub>界面が正孔で埋まるだけのボロンをドーズする(工程8)。工程8ではさらに、裏面にCVDによってSiO<sub>2</sub>膜58を500nm程度の膜厚で形成し、次いでA1あるいはWで遮光膜59を作成し、その後パッシベーション膜60としてプラズマSiN膜をCVDによって形成する。

【0045】次に、従来のCMOSイメージセンサの場合と同様の方法で色フィルタ61およびマイクロレンズ62を作成する(工程9)。このとき、ステッパ合わせは位置合わせマーク54を使うか、または遮光膜59を使用することによって行う。続いて、パッド52'上の第二基板支持材55Bをエッチングで取り除き、パッド52'を露出させる(工程10)。この際、必要に応じて、マイクロレンズ62の位置合わせや、チップの平坦化のために第二基板支持材55Bを研磨して所望の厚さに調整する。

【0046】以上説明した製造方法によれば、裏面受光型の画素構造を簡単に作成することができることに加えて、パッド52'が受光面と反対側に出た構造とすることでできるため、受光面を上に向けた状態で直接基板に

10

本CMOSイメージセンサを実装することができる。

【0047】

【発明の効果】以上説明したように、本発明によれば、X-Yアドレス型固体撮像素子において、裏面受光型の画素構造を探ることにより、受光面を考慮した配線の必要がなくなるため、画素の配線の自由度が高くなり、画素の微細化を図ることができることになる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るCMOSイメージセンサの一例を示す概略構成図である。

【図2】単位画素の回路構成の一例を示す回路図である。

【図3】画素部および周辺回路部の構造の一例を示す断面図である。

【図4】シリコン層のウェル構造の一例を示す断面構造図である。

【図5】活性領域(ゲート酸化膜の領域)、ゲート(ポリシリコン)電極および両者のコンタクト部を示す平面パターン図である。

【図6】ゲート電極よりも上の金属配線と、それらの間のコンタクト部を活性領域と共に示す平面パターン図である。

【図7】裏面受光型画素構造のCMOSイメージセンサを作成するプロセスを説明するための工程図(その1)である。

【図8】裏面受光型画素構造のCMOSイメージセンサを作成するプロセスを説明するための工程図(その2)である。

【図9】CMOSイメージセンサの従来構造を示す断面構造図である。

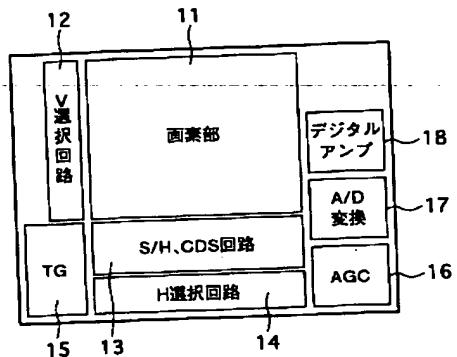
【図10】裏面受光型フレーム転送CCDイメージセンサのフォトダイオードの断面構造を示す断面図である。

【符号の説明】

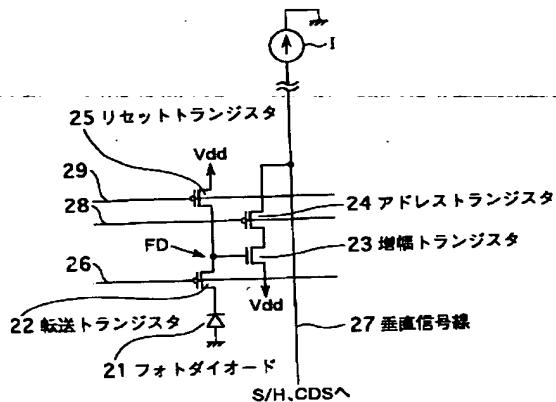
1 1…画素部、1 2…垂直選択回路、1 4…水平選択回路、1 5…タイミングジェネレータ、2 1, 3 7…フォトダイオード、2 2…転送トランジスタ、2 3…増幅トランジスタ、2 4…アドレストランジスタ、2 5…リセットトランジスタ、3 1…シリコン(Si)層、3 3…遮光膜、3 5…色フィルタ、3 6…マイクロレンズ、3 8…配線層

(7)

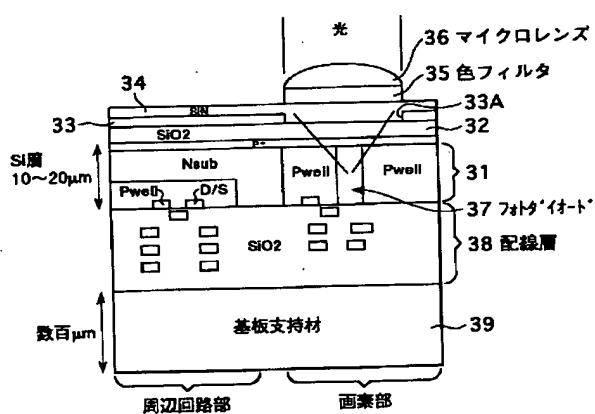
【図1】



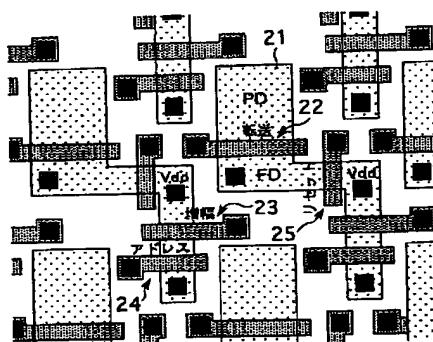
【図2】



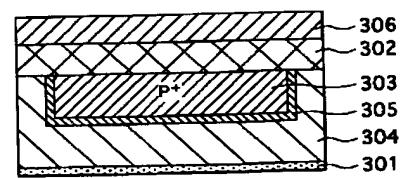
【図3】



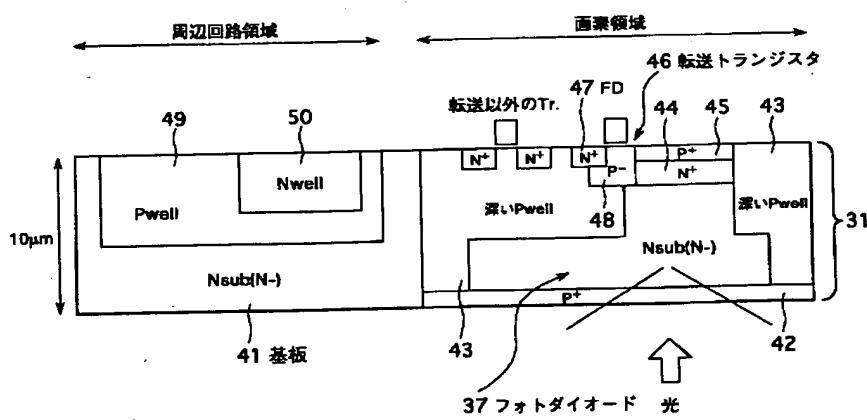
【図5】



【図10】

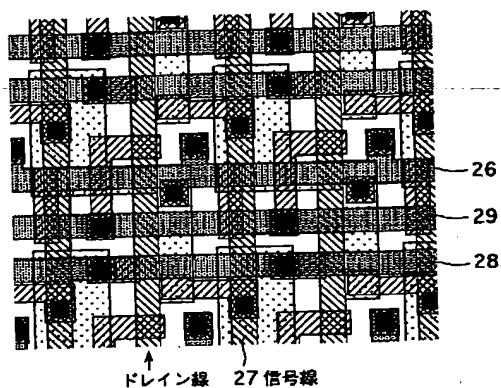


【図4】

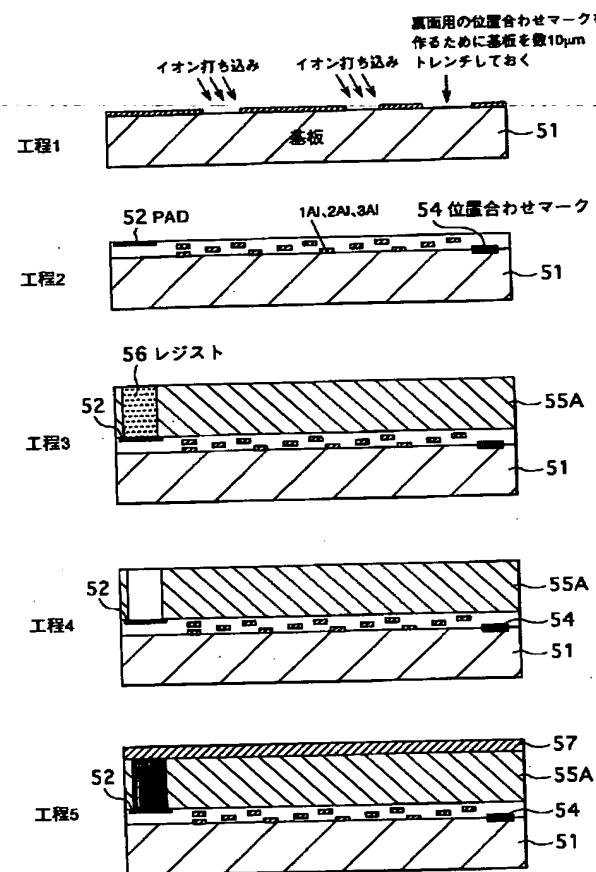


(8)

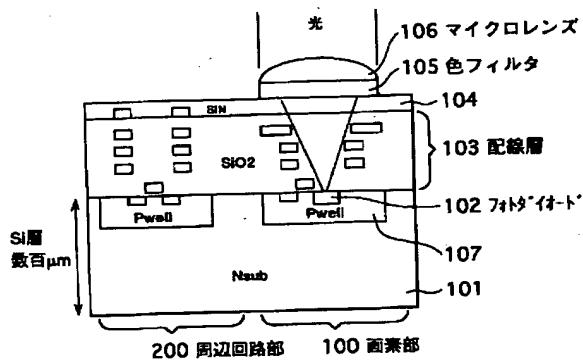
【図6】



【図7】

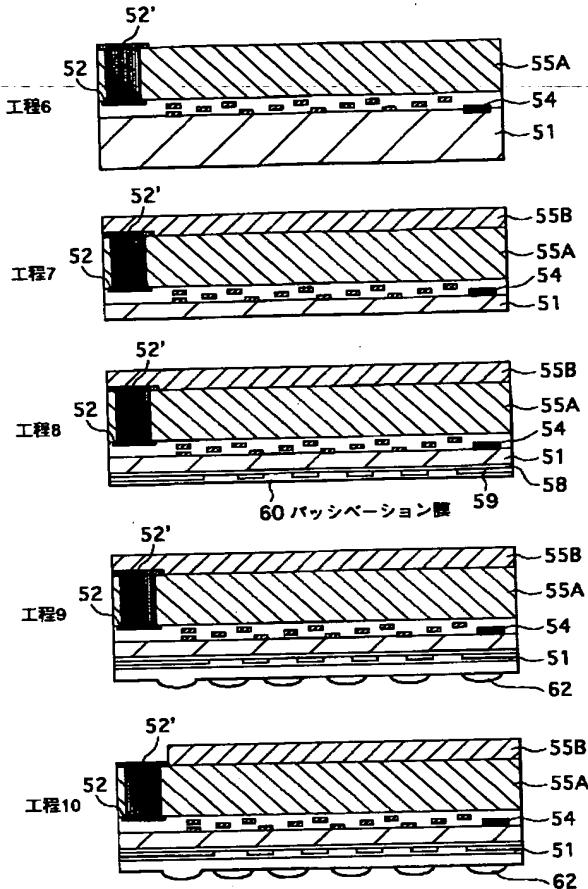


【図9】



(9)

【図8】



フロントページの続き

(72) 発明者 森 智則  
神奈川県横浜市保土ヶ谷区神戸町134番地  
ソニー・エルエスアイ・デザイン株式会  
社内

F ターム (参考) 4M118 AA01 AA05 AA10 AB01 BA14  
CA04 DD04 DD10 DD12 EA20  
FA06 FA33 FA42 GA02 GB11  
GC07 GC17 GD04 GD07 GD20  
5C024 GY31 HX01  
5F049 MA02 MB03 NA20 NB05 QA03  
QA15 SS03 SZ06 SZ13 SZ20  
UA01 UA13 UA16